

Practitioner's Docket No.: 040044-0307076
Client Reference No.: OF03P208/US

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: BYUNG HYUN JUNG, Confirmation No: Unknown
et al.

Application No.: NEW

Group No.: Unassigned

Filed: December 8, 2003

Examiner: Unassigned

For: METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450


SUBMISSION OF PRIORITY DOCUMENT

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
Republic of Korea	10-2002-0080011	12/14/2002

Date: December 8, 2003

PILLSBURY WINTHROP LLP
P.O. Box 10500
McLean, VA 22102
Telephone: (703) 905-2000
Facsimile: (703) 905-2500
Customer Number: 00909


Glenn T. Barrett
Registration No. 38705



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0080011
Application Number

출원년월일 : 2002년 12월 14일
Date of Application DEC 14, 2002

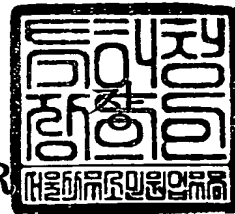
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 10 월 11 일

특 허 청

COMMISSIONER



U.S. Application of: JUNG et al.
Filing Date: December 8, 2003
Method of Manufacturing a
Semiconductor Device
Attorney Docket: 040044-0307076

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2002.12.14
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	Method For Manufacturing Semiconductor Devices
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	김영철
【대리인코드】	9-1998-000040-3
【포괄위임등록번호】	2001-037703-7
【대리인】	
【성명】	김순영
【대리인코드】	9-1998-000131-1
【포괄위임등록번호】	2001-037700-5
【대리인】	
【성명】	이준서
【대리인코드】	9-1998-000463-0
【포괄위임등록번호】	2001-037697-8
【발명자】	
【성명의 국문표기】	정병현
【성명의 영문표기】	JUNG,Byung Hyun
【주민등록번호】	641017-1480219
【우편번호】	143-210
【주소】	서울특별시 광진구 광장동 금호APT 103-903
【국적】	KR
【발명자】	
【성명의 국문표기】	권대혁
【성명의 영문표기】	KWON,Dae Heok
【주민등록번호】	590411-1683718

【우편번호】 305-390

【주소】 대전광역시 유성구 전민동 Expo APT 202-201

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
김영철 (인) 대리인
김순영 (인) 대리인
이준서 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	0 면	0 원
【우선권주장료】	0 건	0 원
【심사청구료】	11 항	461,000 원
【합계】		490,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 제조 방법을 개시한다. 본 발명은 원자층 적층 공정을 이용하여 콘택홀에 장벽 금속층인 WSiN층을 적층시키고, 핵생성 단계에서 상기 WSiN층 상에 텅스텐(W) 층을 적층시킨다. 이후, 통상의 화학 기상 증착 공정을 이용하여 상기 콘택홀을 텅스텐층으로 매립시킨다.

따라서, 고 단차비를 갖는 미세한 콘택홀에 연속적이고 균일하게 상기 WSiN층을 적층시킬 수가 있고, 또한 상기 WSiN층 상에 핵생성 단계의 텅스텐 층을 연속적이고 균일하게 적층시킬 수가 있다. 그러므로, 상기 콘택홀이 통상의 화학 기상 증착 공정에 의해 적층된 텅스텐층으로 완전 매립될 수가 있다.

【대표도】

도 9

【명세서】**【발명의 명칭】**

반도체 소자의 제조 방법{Method For Manufacturing Semiconductor Devices}

【도면의 간단한 설명】

도 1 은 종래 기술에 의한 반도체 소자의 콘택홀에 보이드(Void)가 형성된 콘택 불량 현상의 예를 나타낸 단면도.

도 2 내지 도 10은 본 발명에 의한 반도체 소자의 제조 방법을 나타낸 단면공정도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 더욱 상세하게는 고 단차비(aspect ratio)를 갖는 미세한 콘택홀의 내부 전면에 장벽 금속층을 적층시킴으로써 고용점 금속층의 콘택홀 매립 불량을 방지하도록 한 반도체 소자의 제조 방법에 관한 것이다.

<4> 일반적으로, 반도체소자의 고집적화가 진행됨에 따라 설계물이 미세화되면서 모스 트랜지스터의 소오스/드레인의 사이즈 및 게이트 전극의 선폭과 금속 배선의 선폭이 축소되고 있다. 특히, 금속 배선의 선폭이 축소되면, 게이트 전극과 금속 배선을 콘택시키거나 소오스/드레인과 금속 배선을 콘택시키기 위한 콘택홀의 사이즈도 함께 축소된다. 이렇게 되면, 게이트 전극과 금속 배선의 콘택 저항이 증가하므로 금속 배선의 저항이 증가하고 결국에는 반도체

소자의 동작 속도가 늦어진다. 그럼에도 불구하고, 반도체 소자의 고집적화와 더불어 고속화에 대한 요구가 더욱 높아지고 있는 실정이다.

<5> 이러한 요구를 해결하기 위한 방안의 하나로 콘택 저항을 저감시키기 위해 최근에는 고용점 금속층, 예를 들어 텅스텐(W) 층이 사용되고 있다. 또한, 상기 텅스텐 층과 콘택 영역의 콘택 저항을 저감시키기 위해 장벽 금속층이 이들 사이에 형성되고 있다.

<6> 종래의 반도체 소자의 경우, 도 1에 도시된 바와 같이, 반도체 기판(10) 상에 절연막(11)이 적층되고, 반도체 기판(10)의 콘택 영역 상에 상기 콘택 영역을 노출시키기 위한 콘택홀(12)이 형성되고, 콘택홀(12)의 내부와 함께 절연막(11) 상에 장벽 금속층(13)이 얇은 두께로 적층되고, 콘택홀(12)의 내부를 매립하기 위해 절연막(11) 상에 텅스텐층(15)이 두껍게 적층된다.

【발명이 이루고자 하는 기술적 과제】

<7> 그런데, 종래에는 상기 장벽 금속층(13)을 위한 질화티타늄(TiN) 또는 질화텅스텐(WN) 재질을 반응성 스퍼터링 공정으로 상기 콘택홀(12)의 내부와 함께 상기 절연막(11) 상에 증착시킨다.

<8> 그러나, 상기 콘택홀(12)의 크기가 $0.2\mu\text{m}$ 이하로 축소되고, 단차비(aspect

ratio)가 5 이상으로 커짐에 따라 상기 콘택홀(12)의 내부 전면에 상기 장벽 금속층(13)이 연속적으로 적층되기 어렵다. 그러므로, 상기 콘택홀(12)의 저부에 상기 장벽 금속층(13)이 적층되지 않는 현상이 다발하기 쉽다. 이는 상기 텅스텐층(15)을 상기 콘택홀(12)에 완전 매립시키는 것을 어렵게 만든다. 그 결과, 상기 콘택홀(12)의 저부에 빈 공간인 보이드(void)(16)가 형성되기 쉬우므로 상기 콘택홀(12)의 콘택 불량률이 다발한다. 즉, 상기 콘택홀(12)에서의 전기적인 단선이 발생하거나 일렉트로마이그레이션 또는 스트레스마이그레이션의 금속 배선 신뢰도가 저하되기 쉽다.

<9> 최근에는 이러한 문제점을 개선하기 위해 장벽 금속층으로서 WSiN층을 사용하는 방법들이 제안되었으나, 이들 방법들은 여러 가지 측면에서 개선할 부분이 많이 있다.

<10> 따라서, 본 발명의 목적은 고 단차비를 갖는 미세한 콘택홀에서의 콘택 불량을 방지하는데 있다.

<11> 본 발명의 다른 목적은 고 단차비를 갖는 미세한 콘택홀의 내부 전면에 장벽 금속층을 연속적이고 균일하게 적층시킴으로써 고용점 금속의 콘택홀 매립 불량을 방지하는데 있다.

【발명의 구성 및 작용】

<12> 이와 같은 목적을 달성하기 위한 본 발명에 의한 반도체 소자의 제조 방법은

<13> 반도체 기판 상에 절연막을 형성하고 상기 절연막의 일부 영역에 콘택홀을 형성시키는 단계; 원자층 적층 공정을 이용하여 상기 콘택홀 및 상기 절연막에 장벽 금속층을 적층시키는 단계; 원자층 적층 공정을 이용하여 상기 장벽 금속층 상에 텅스텐층을 적층시키는 단계; 및

통상의 화학 기상 증착 공정을 이용하여 텅스텐층을 상기 콘택홀에 매립시키는 단계를 포함하는 것을 특징으로 한다.

- <14> 바람직하게는, 상기 장벽 금속층과 상기 텅스텐층의 원자층 적층 공정을 하나의 동일한 반응 챔버에서 실시할 수 있다.
- <15> 바람직하게는, 상기 장벽 금속층으로서 WSiN층을 적층할 수 있다.
- <16> 바람직하게는, 상기 WSiN층의 단원자층을 SiH_4 가스 주입, 불활성 가스 퍼징, WF_6 가스 주입, 불활성 가스 퍼징, NH_3 가스 주입 및 불활성 가스 퍼징의 연속적인 사이클로 적층시킬 수가 있다.
- <17> 또한, 상기 WSiN층을 20~100 Å의 두께로 적층시키는 것이 바람직하다. 상기 SiH_4 가스를 50~100 SCCM의 유량으로, 상기 WF_6 가스를 10~50 SCCM의 유량으로, 상기 NH_3 가스를 30~80 SCCM의 유량으로 각각 주입시키는 것이 바람직하다.
- <18> 바람직하게는, 상기 SiH_4 가스와 상기 WF_6 가스를 1:5의 비율로 주입할 수 있다.
- <19> 바람직하게는, 상기 텅스텐층을 200~600°C에서 적층시킬 수가 있다.
- <20> 바람직하게는, 상기 텅스텐의 단원자층을 SiH_4 가스 주입, 불활성 가스 퍼징, WF_6 가스 주입 및 불활성 가스 퍼징의 연속적인 사이클로 적층시킬 수가 있다.
- <21> 또한, 상기 텅스텐층을 20~100 Å의 두께로 적층시키는 것이 바람직하다.
- <22> 바람직하게는, 상기 불활성 가스로서 알곤 gas와, 알곤 가스 및 수소 가스의 혼합 가스 중 어느 하나를 사용할 수 있다.
- <23> 따라서, 본 발명은 고 단차비의 미세한 콘택홀을 장벽 금속층을 개재하여 텅스텐층을 완전 매립시킬 수가 있다.

- <24> 이하, 본 발명에 의한 반도체 소자의 제조 방법을 첨부된 도면을 참조하여 상세히 설명하기로 한다. 종래의 부분과 동일 구성 및 동일 작용의 부분에는 동일 부호를 부여한다.
- <25> 도 2 내지 도 10은 본 발명에 의한 반도체 소자의 제조 방법을 나타낸 단면 공정도이다.
- <26> 도 2를 참조하면, 먼저, 반도체 기판(10) 상에 산화막과 같은 절연막(11)을 충분한 두께로 형성한다. 여기서, 도면에 도시하지 않았으나 통상의 공정을 이용하여 상기 반도체 기판(10)의 활성영역을 정의하기 위하여 상기 반도체 기판(10)의 필드영역에 필드산화막을 형성하고 상기 활성영역에 트랜지스터의 소스/드레인과 게이트 전극 등을 미리 형성하여 둠은 자명하다. 이어서, 사진식각 공정을 이용하여 상기 반도체 기판(10)의 콘택 부분(도시 안됨)을 노출시키기 위해 상기 반도체 기판(10)의 콘택 부분 상의 절연막(11)을 식각시킴으로써 콘택홀(12)을 형성한다. 여기서, 상기 콘택홀(12)은 고단차비, 예를 들어 5 이상인의 단차비를 가지며, 크기가 $0.2\mu\text{m}$ 이하로 축소된 미세한 콘택홀이다.
- <27> 도 3 내지 도 6을 참조하면, 그런 다음, 원자층 적층(Atomic Layer Deposition: ALD) 공정을 위한 하나의 반응 챔버(도시 안됨)에 상기 반도체 기판(10)을 장착한 후 원자층 적층 공정을 이용하여 상기 반도체 기판(10)의 콘택홀(12)의 내부 전면과 함께 상기 절연막(11) 상에 WSiN층(21)을 적층한다.
- <28> 이를 좀 더 상세히 언급하면, 도 3에 도시된 바와 같이, 상기 반응 챔버의 반응 가스 주입구를 통하여 반응 가스인 SiH_4 가스를 50~100 SCCM(standard cubic centimeter)의 유량으로 주입시킴으로써 상기 콘택홀(12)의 내부 전면과 함께 상기 절연막(11)의 상에 실리콘(Si) 단원자 층(21)을 적층시킨다. 여기서, 상기 SiH_4 가스를 도 4에서 설명할 WF_6 가스보다 먼저 주입

하는 것은 상기 WF_6 가스에 의한 콘택홀(12)의 노출된 실리콘 표면의 손상을 방지시켜주기 위함이다.

<29> 도 4를 참조하면, 이후, 예를 들어 불활성 가스인 아르곤(Ar) 가스 또는 아르곤(Ar) 가스와 수소(H_2) 가스의 혼합 가스를 퍼징(purging) 가스로서 상기 반응 챔버의 내부로 주입함으로써 상기 반응 챔버 내에 남아있는 미반응 SiH_4 가스를 상기 반응 챔버로부터 완전히 배기시킨다. 그런 다음, 상기 반응 챔버의 반응 가스 주입구를 통하여 반응 가스인 WF_6 가스를 10~50 SCCM의 유량으로 주입시킴으로써 상기 실리콘(Si) 단원자 층(21) 상에 텅스텐(W) 단원자 층(23)을 적층시킨다. 여기서, 상기 WF_6 가스에 의한 콘택홀(12) 내의 실리콘 표면 손상을 방지하기 위해 상기 SiH_4 가스와 상기 WF_6 가스의 주입 비율을 1: 5로 유지시켜주는 것이 바람직하다.

<30> 도 5를 참조하면, 이후, 예를 들어 불활성 가스인 아르곤(Ar) 가스 또는 아르곤(Ar) 가스와 수소(H_2) 가스의 혼합 가스를 퍼징 가스로서 상기 반응 챔버의 내부로 주입함으로써 상기 반응 챔버 내에 남아있는 미반응 WF_6 가스를 상기 반응 챔버로부터 완전히 배기시킨다. 그리고 나서, 상기 반응 챔버의 반응 가스 주입구를 통하여 반응 가스인 암모니아(NH_3) 가스를 30~80 SCCM의 유량으로 주입시킴으로써 상기 텅스텐(W) 단원자 층(23) 상에 질소(N) 단원자 층(25)을 적층시킨다. 이후, 아르곤(Ar) 가스 또는 아르곤(Ar) 가스와 수소(H_2) 가스의 혼합 가스를 퍼징 가스로서 상기 반응 챔버의 내부로 주입함으로써 상기 반응 챔버 내에 남아있는 미반응 암모니아(NH_3) 가스를 상기 반응 챔버로부터 완전히 배기시킨다.

<31> 따라서, 상기 실리콘(Si) 단원자 층(21)과 상기 텅스텐(W) 단원자 층(23) 및 상기 질소(N) 단원자 층(25)의 순차적인 적층을 위한 1 사이클의 원자층 적층 공정이 진행되고 나면, 상기 층들(21),(23),(25)이 서로 반응하여 단원자층의 $WSiN$ 층(27)이 형성된다. 이때, 상기 $WSiN$

층(27)의 두께가 0.5~0.5~1.0Å 정도로 비교적 얇다. 한편, 상기 WSiN층(27)의 형성에 필요한 상기 층들(21),(23),(25)의 반응을 원활히 하기 위해 상기 층들(21),(23),(25)이 1 사이클 적층되는 동안 상기 반응 챔버를 200~600℃의 범위에서 어느 특정한 온도로 일정하게 유지시키는 것이 바람직하다.

<32> 도 7을 참조하면, 이후, 상기 WSiN층(27)을 장벽 금속층으로서 적합한 비교적 두꺼운 두께를 형성하기 위해 상기 1 사이클의 원자층 적층 공정을 원하는 횟수, 예를 들어 3회 반복 진행한다. 따라서, 최종적인 WSiN층(29)은 3층의 WSiN층(27)으로 구성된다. 이때, 상기 WSiN층(29)은 20~100Å의 두께를 갖는 것이 바람직하다.

<33> 한편, 설명의 편의상 WSiN층(29)이 3층의 WSiN층(27)으로 구성된 것을 도시하였으나, 3층 이상의 WSiN층(27)으로 구성시키는 것도 가능함은 자명한 사실이다.

<34> 도 8을 참조하면, 이어서, 상기 WSiN층(29)의 적층에 사용한 반응 챔버 또는 별도의 반응 챔버에 상기 반도체 기판(10)을 장착한 후 원자층 적층 공정을 이용하여 상기 WSiN층(29)상에 텅스텐(W) 층(31)을 적층시킨다.

<35> 이를 좀 더 상세히 언급하면, 먼저, 상기 반응 챔버의 반응 가스 주입구를 통하여 반응 가스인 SiH_4 가스를 50~100 SCCM의 유량으로 주입시킴으로써 상기 WSiN층(29)상에 실리콘(Si) 단원자 층(도시 안됨)을 적층시킨다. 이어서, 불활성 가스인 아르곤(Ar) 가스 또는 아르곤(Ar) 가스와 수소(H_2) 가스의 혼합 가스를 퍼징 가스로서 상기 반응 챔버의 내부로 주입함으로써 상기 반응 챔버 내에 남아있는 미반응 SiH_4 가스를 상기 반응 챔버로부터 완전히 배기시킨다. 그런 다음, 상기 반응 챔버의 반응 가스 주입구를 통하여 반응 가스인 WF_6 가스를 10~50 SCCM의 유량으로 주입시킴으로써 상기 실리콘(Si) 단원자 층상에 텅스텐(W) 단원자 층(도시 안됨)을 적층시킨다. 이후, 아르곤(Ar) 가스 또는 아르곤(Ar) 가스와 수소(H

2) 가스의 혼합 가스를 퍼징 가스로서 상기 반응 챔버의 내부로 주입함으로써 상기 반응 챔버 내에 남아있는 미반응 WF_6 가스를 상기 반응 챔버로부터 완전히 배기시킨다.

<36> 따라서, 상기 WSiN층(29) 상에 단원자층의 텅스텐(W) 층(도시 안됨)이 적층된다. 한편, 상기 텅스텐층의 단원자층을 적층하기 위한 1 사이클의 원자층 적층 공정이 진행 동안 상기 반응 챔버를 200~600℃의 범위에서 어느 특정한 온도로 일정하게 유지시키는 것이 바람직하다.

<37> 이후, 상기 텅스텐층을 두껍게 형성하기 위해 상기 1 사이클의 원자층 적층 공정을 원하는 횟수만큼 반복 진행한다. 따라서, 최종적인 텅스텐층(31)이 두껍게 적층된다. 이때, 상기 텅스텐층(31)은 20~100Å의 두께를 갖는 것이 바람직하다.

<38> 따라서, 본 발명은 단원자 적층 공정을 이용함으로써 상기 텅스텐(W) 층(31)의 초기 핵 생성(nucleation) 단계에서 상기 콘택홀(12) 내에 상기 텅스텐(W) 층(31)을 연속적이고 균일하게 적층시킬 수가 있다. 이는 고단차비를 갖는 미세한 콘택홀(12) 내에 도 9의 텅스텐층(33)을 완전 매립시키는 것을 보장하여 준다.

<39> 도 9를 참조하면, 그런 다음, 통상적인 화학 기상 증착 공정을 이용하여 상기 콘택홀(12)을 매립시키기에 충분한 두께로 텅스텐 층(33)을 상기 텅스텐층(31) 상에 적층시킨다. 이때, 상기 텅스텐 층(33)은 단원자 적층 공정에 의해 적층된 텅스텐 층(31)에 비하여 상당히 빠른 속도로 적층된다.

<40> 따라서, 상기 텅스텐층(33)은 상기 콘택홀(12)의 텅스텐층(31)이 연속적이고 균일하게 적층되어 있으므로 상기 콘택홀(12)을 완전 매립시킬 수가 있다. 따라서,

본 발명은 상기 콘택홀(12)이 고 단차비를 갖는 미세한 콘택홀임에도 불구하고 상기 콘택홀(12)에서 텅스텐층(33)이 불완전 매립되는 불량 현상의 발생을 억제시킴으로써 콘택홀(12)에서의 전기적인 단선이나 일렉트로마이그레이션 또는 스트레스마이그레이션의 금속 배선 신뢰도 저하를 방지할 수 있다.

<41> 도 10을 참조하면, 통상적인 화학적 기계적 연마(chemical mechanical polishing) 공정을 이용하여 콘택홀(12) 외측의 텅스텐층(33)을 완전히 제거시키고 콘택홀(12) 내의 텅스텐층(33)을 상기 절연막(11)에 평탄화시킨다. 마지막으로, 상기 텅스텐층(33)과 함께 절연막(11)상에 금속 배선으로서 알루미늄(Al) 층(35)을 적층시키고 사진식각공정을 이용하여 상기 알루미늄(Al) 층(35)을 원하는 금속 배선의 패턴으로 형성시킨다.

<42> 한편, 본 발명은 설명의 편의상 콘택홀을 기준으로 설명하였으나, 콘택홀 이외에 비아홀에도 동일하게 적용시킬 수가 있음은 자명한 사실이다.

【발명의 효과】

<43> 이상에서 설명한 바와 같이, 본 발명에 의한 반도체 소자의 제조 방법은 원자층 적층 공정을 이용하여 콘택홀에 장벽 금속층인 WSiN층을 적층시키고, 핵생성 단계에서 상기 WSiN층 상에 텅스텐(W) 층을 적층시킨다. 이후, 통상의 화학 기상 증착 공정을 이용하여 상기 콘택홀을 텅스텐층으로 매립시킨다.

<44> 따라서, 본 발명은 원자층 적층 공정을 이용함으로써 고 단차비를 갖는 미세한 콘택홀에 연속적이고 균일하게 상기 WSiN층을 적층시킬 수가 있고, 또한 상기 WSiN층 상에 핵생성 단계

의 텅스텐층을 연속적이고 균일하게 적층시킬 수가 있다. 그러므로, 상기 콘택홀이 통상의 화학 기상 증착 공정에 의해 적층된 텅스텐층으로 완전 매립될 수가 있다.

<45> 따라서, 본 발명은 상기 콘택홀의 저부에 빈 공간인 보이드가 형성되는 것을 방지할 수 있기 때문에 상기 콘택홀에서의 전기적인 단선이 발생하거나 일렉트로마이그레이션 또는 스트레스마이그레이션의 금속 배선 신뢰도가 저하되는 콘택 불량 현상을 방지할 수 있다.

<46> 한편, 본 발명은 도시된 도면과 상세한 설명에 기술된 내용에 한정하지 않으며 본 발명의 사상을 벗어나지 않는 범위 내에서 다양한 형태의 변형도 가능함은 이 분야에 통상의 지식을 가진 자에게는 자명한 사실이다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 절연막을 형성하고 상기 절연막의 일부 영역에 콘택홀을 형성시키는 단계;

원자층 적층 공정을 이용하여 상기 콘택홀 및 상기 절연막에 장벽 금속층을 적층시키는 단계;

원자층 적층 공정을 이용하여 상기 장벽 금속층 상에 텅스텐층을 적층시키는 단계; 및
통상의 화학 기상 증착 공정을 이용하여 텅스텐층을 상기 콘택홀에 매립시키는 단계를 포함하는 반도체 소자의 제조 방법.

【청구항 2】

제 1 항에 있어서, 상기 장벽 금속층과 상기 텅스텐층의 원자층 적층 공정을 하나의 동일한 반응 챔버에서 실시하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

제 1 항에 있어서, 상기 장벽 금속층으로서 WSiN층을 적층하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 4】

제 3 항에 있어서, 상기 WSiN층의 단원자층을 SiH_4 가스 주입, 불활성 가스 퍼징, WF_6 가스 주입, 불활성 가스 퍼징, NH_3 가스 주입 및 불활성 가스 퍼징의 연속적인 싸이클로 적층시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 5】

제 3 항에 있어서, 상기 WSiN층을 20~100Å의 두께로 적층시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 6】

제 4 항에 있어서, 상기 SiH_4 가스를 50~100 SCCM의 유량으로, 상기 WF_6 가스를 10~50 SCCM의 유량으로, 상기 NH_3 가스를 30~80 SCCM의 유량으로 각각 주입하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 7】

제 6 항에 있어서, 상기 SiH_4 가스와 상기 WF_6 가스를 1:5의 비율로 주입하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 8】

제 3 항에 있어서, 상기 텅스텐층을 200~600℃에서 적층시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 9】

제 1 항에 있어서, 상기 텅스텐의 단원자층을 SiH_4 가스 주입, 불활성 가스 퍼징, WF_6 가스 주입 및 불활성 가스 퍼징의 연속적인 싸이클로 실시하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 10】

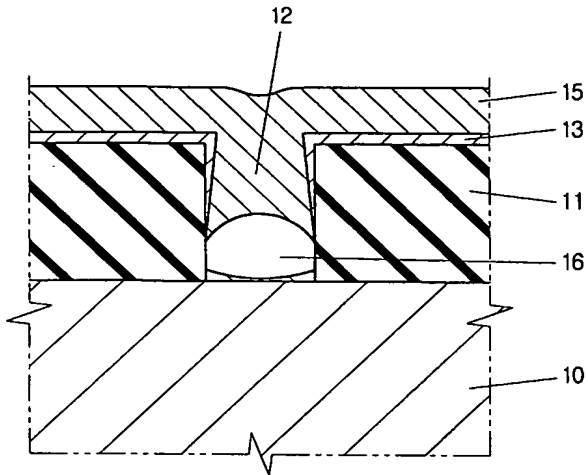
제 9 항에 있어서, 상기 텅스텐층을 20~100Å의 두께로 적층시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 11】

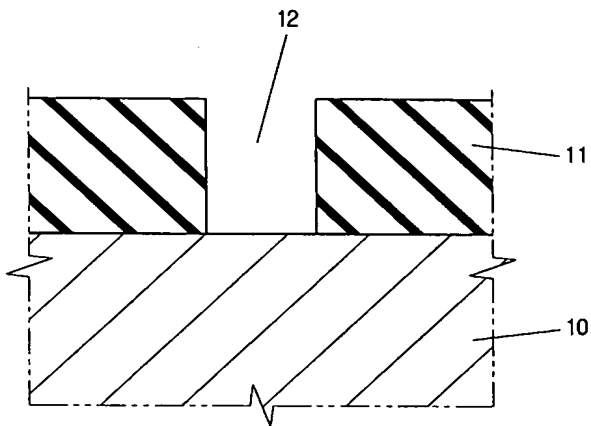
제 4 항 또는 제 9 항에 있어서, 상기 불활성 가스로서 알곤 gas와, 알곤 가스 및 수소 가스의 혼합 가스 중 어느 하나를 사용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

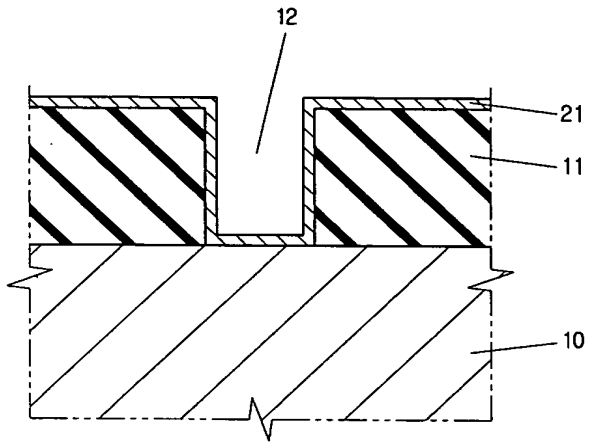
【도 1】



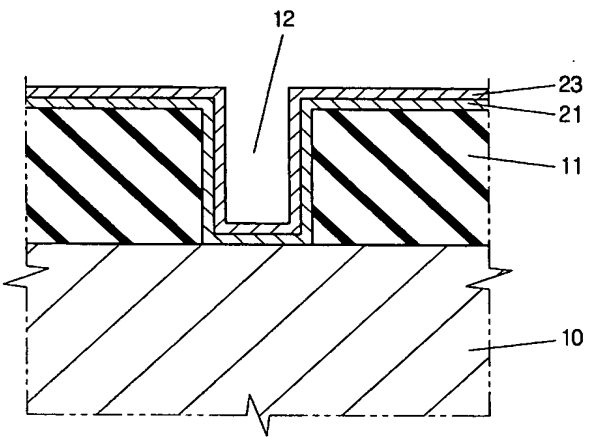
【도 2】



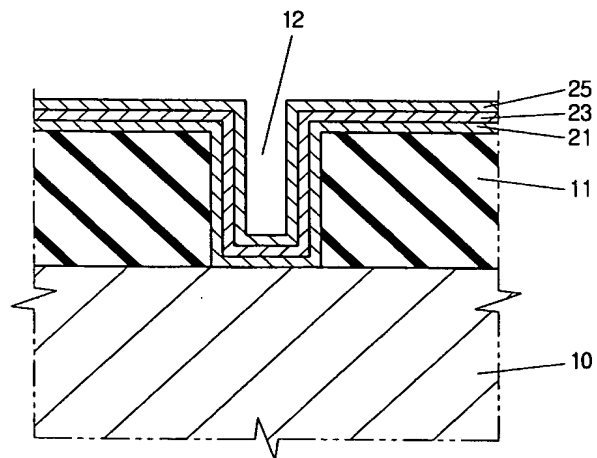
【도 3】



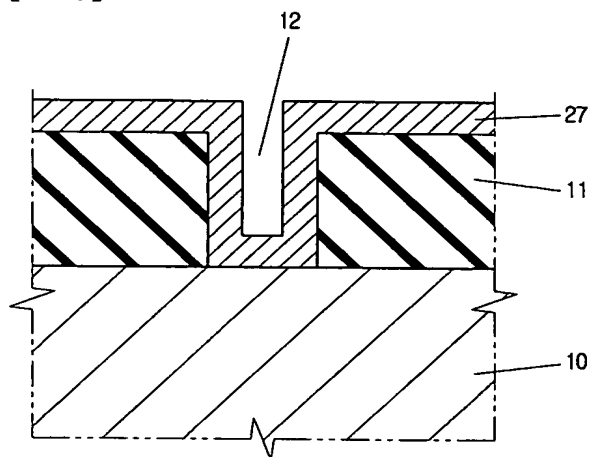
【도 4】



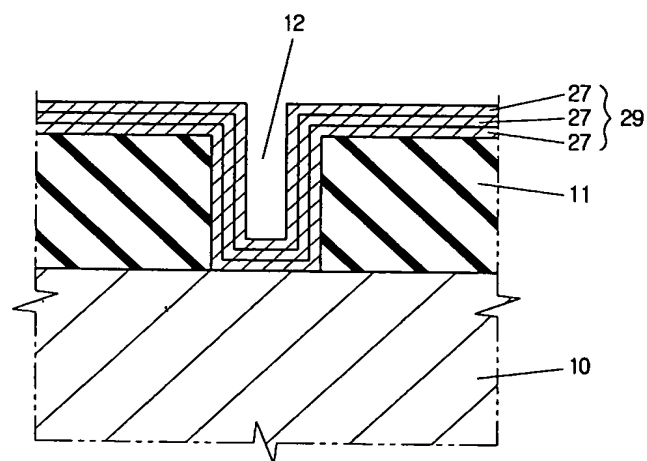
【도 5】



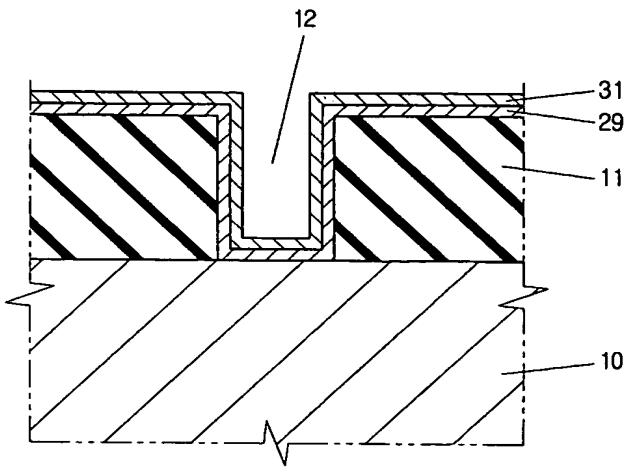
【도 6】



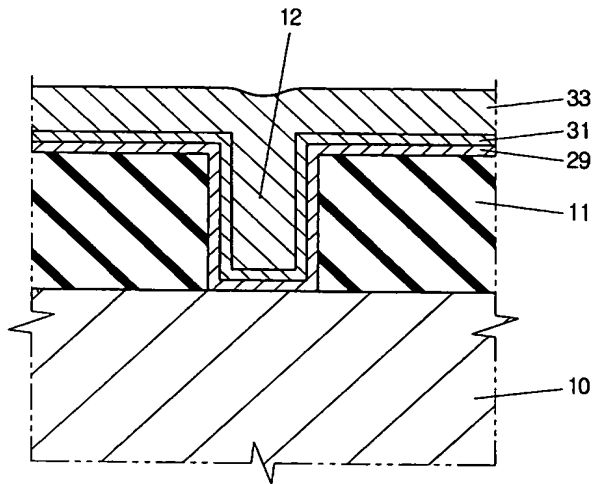
【도 7】



【도 8】



【도 9】



【도 10】

